


PCI bus System

Patent Number: ☐ EP0872799, A3
Publication date: 1998-10-21
Inventor(s): MANABE MASAO (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: JP10293744
Application Number: EP19980107155 19980417
Priority Number(s): JP19970101228 19970418
IPC Classification: G06F13/36; G06F13/40
EC Classification: G06F13/362, G06F13/40D5S2
Equivalents: CN1197238, KR267130, ☐ US6282598
Cited Documents: US5533204; EP0710913; JP8063427; JP4102154

Abstract

In a PCI bus system comprising an initiator and a target, wherein data is transferred from the target via a PCI bus in response to access from the initiator, a time interval period required from access to data transfer is stored as latency information in the target. The latency information is transferred from the target to the initiator in response to access requests from the initiator. The initiator determines the next access timing from the relevant latency information. Thereby, a PCI bus occupation time due to repeated access requests can be shortened. 

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293744

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

G 0 6 F 13/36

識別記号

5 2 0

3 2 0

F I

G 0 6 F 13/36

5 2 0 B

3 2 0 A

審査請求 有 請求項の数7 O L (全 10 頁)

(21) 出願番号

特願平9-101228

(22) 出願日

平成9年(1997)4月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 真鍋 政男

東京都港区芝五丁目7番1号 日本電気株式会社内

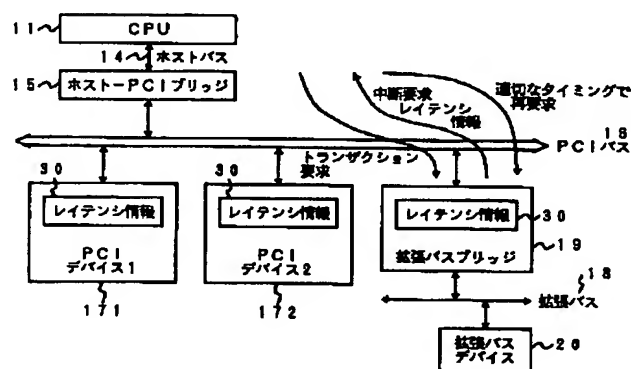
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 P C Iバス・システム

(57) 【要約】

【課題】 イニシエータとターゲットとを備え、イニシエータからのアクセスに応答して、ターゲットからP C Iバスを介して、データを転送するP C Iバス・システムにおいて、イニシエータによるアクセス要求、及び、ターゲットによる中断要求によるP C Iバスの無用な占有時間を無くすか、或いは、軽減できるP C Iバス・システムを提供することである。

【解決手段】 ターゲットとなる各デバイスに、アクセスからデータ転送までに要する時間をレイテンシ情報として格納しておき、イニシエータからのアクセス要求にに応答して、レイテンシ情報をターゲットからイニシエータに対して転送し、イニシエータでは、当該レイテンシ情報から次のアクセスタイミングの時間を決定する。これによって、アクセス要求の繰り返しによるP C Iバスの占有時間を短縮できる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 イニシエータと、当該イニシエータからのアクセスにより、前記イニシエータに対して、データをP C Iバスを介して送信するターゲットとを備えたP C Iバス・システムにおいて、前記ターゲットは、前記イニシエータからのアクセスを受けてから前記データを送信するまでに要する時間をあらかじめレイテンシ情報を格納する手段を備え、前記イニシエータからのアクセスを受けると、前記レイテンシ情報を前記イニシエータに送信することを特徴とするP C Iバス・システム。

【請求項2】 請求項1において、前記ターゲットは、前記レイテンシ情報をリトライ要求と共に、前記イニシエータに送信し、前記イニシエータは、前記レイテンシ情報で示された時間経過後、前記ターゲットに再度アクセスすることを特徴とするP C Iバス・システム。

【請求項3】 請求項1において、前記イニシエータは、ホストP C Iブリッジとして動作するインタフェース手段を介して前記P C Iバスに接続されたC P Uであり、前記ターゲットは、前記P C Iバスに接続されたP C Iデバイスであることを特徴とするP C Iバス・システム。

【請求項4】 請求項3において、前記ターゲットは、前記P C Iバスに接続された拡張バスブリッジであることを特徴とするP C Iバス・システム。

【請求項5】 請求項4において、前記拡張バスブリッジに対して、拡張バスデバイスが拡張バスを介して接続されていることを特徴とするP C Iバス・システム。

【請求項6】 請求項1において、前記イニシエータは、前記レイテンシ情報を前記ターゲットから受けると、前記レイテンシ情報で示された時間、当該ターゲットに対するアクセスを見合わせることを特徴とするP C Iバス・システム。

【請求項7】 P C Iバスに接続されるターゲットにおいて、前記P C Iバスを介して与えられるアクセス要求の受信から、データ転送までの時間をあらかじめレイテンシ情報を格納する手段を備え、当該レイテンシ情報を前記P C Iバス上に出力することを特徴とするターゲット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イニシエータとターゲットとをP C I (Peripheral Component Interconnect) バスを介して接続したP C Iバス・システムに関する。

【0002】

【従来の技術】一般に、この種のP C Iバス・システムには、中央処理装置(C P U)をホストP C Iブリッジ(アービタ)を介して、P C Iバスに接続すると共に、当該P C Iバスに対してP C Iデバイスを接続した構成を有するシステムがある。このようなP C Iバス・

システムにおいては、P C Iバスに対して、更に、拡張バスブリッジを接続すると共に、当該拡張バスブリッジに対して、拡張バスを介して拡張デバイスを接続した構成が採用されることもある。

【0003】このようなP C Iバス・システムの場合、C P UとホストP C Iブリッジとを接続するホストバス上には、例えば、66MHzのクロックに同期して、データ転送が行われており、また、P C Iデバイス、或いは、拡張バスブリッジと、P C Iデバイスとの間に設けられたP C Iバス上には、33MHzのクロックに同期して、データが転送されている。更に、拡張バスがI S Aバスの場合、当該拡張バス上には、8MHzのクロックに同期して、データが転送されている。このような構成を備えたシステムでは、ホストバス上のデータの転送速度は、拡張バス上のデータ転送速度の約8倍に達しており、他方、P C Iバス上のデータ転送速度は、拡張バス上のデータ転送速度の約4倍である。

【0004】

【発明が解決しようとする課題】この種のP C Iバス・システムでは、イニシエータからターゲットへのアクセス動作として、C P UからP C Iデバイス、或いは、拡張バスデバイスへのアクセス動作、及び、P C Iデバイスから拡張バスデバイスへのアクセス動作があるが、これらのアクセス動作では、それぞれの動作速度の違いから、転送パフォーマンスは低速デバイスによって制限されてしまう。また、ターゲットとなる各デバイスは、イニシエータに転送するデータを用意するまで、長い待ち時間が必要である。例えば、ターゲットとして拡張バスデバイスが使用された場合、拡張バスデバイスにおいて、アクセス要求から最初のデータ転送を行うまでに、3クロック数だけかかるとすれば、このクロック数は、ホストバス上では、24クロックもの長い時間となってしまふ。このため、ホストバスは、データ転送の前に、長い時間、ターゲットによって占有された状態になってしまふ。

【0005】このように、ターゲットは、イニシエータからのデータの読み出し要求を受けてから、最初にデータを出すまでに時間(レイテンシ)がかかることが多く、その時間が長くなっても、バスはターゲットによって占有された状態になってしまふ。

【0006】このように、バスを無駄に占有した状態が続く場合、リトライ要求をターゲットからイニシエータに出力して、このバスを一旦解放するディレイドトランザクションを採用したP C Iバス・システムも提案されている。このP C Iバス・システムでは、イニシエータからターゲットへアクセスする場合、アービタからP C Iバスの使用権を与えられると、イニシエータはアドレスをターゲットに送出する。ターゲットは、一時的に、このアクセスに回答できない状態にある場合には、回答信号をイニシエータに出力すると共に、データ転送

の中断を要求するリトライ要求をイニシエータに送出する。

【0007】この場合、リトライ要求を受けたイニシエータは、ある一定時間の経過後、再度、同じアクセス動作を当該ターゲットに対して行う。再度のアクセス動作の際に、ターゲットがデータ転送を送出できる状態になっているとは限らないから、再度のアクセス動作によっても、ターゲットからはリトライ要求がイニシエータに再び送信される可能性がある。したがって、ディレイドトランザクションを採用した場合にも、リトライ要求を受けたイニシエータは、トランザクションを再度要求するタイミングがわからないため、イニシエータとターゲットとの間では、要求と、リトライ要求が繰り返されることになる。

【0008】いずれにしても、これらの構成では、PCIバスが無駄に占有されることが多く、低い転送パフォーマンスしか得られないと言う欠点がある。

【0009】本発明の目的は、PCIバスにおける利用効率を高めて、ターゲットからイニシエータへの転送パフォーマンスを改善できるPCIバス・システムを提供することである。

【0010】本発明の他の目的は、PCIバスにおける利用効率を改善できるディレイドトランザクションを採用したPCIバス・システムを提供することである。

【0011】本発明の更に他の目的は、アクセスからデータ転送に至るまでの時間、即ち、レイテンシを保持、並びに、転送できるターゲットを提供することである。

【0012】

【課題を解決するための手段】本発明の一実施の形態によれば、イニシエータと、当該イニシエータからのアクセスにより、前記イニシエータに対して、データを送信するターゲットとを備えたPCIバス・システムにおいて、前記ターゲットは、前記イニシエータからのアクセスを受けてから前記データを送信するまでに要する時間をあらかじめレイテンシ情報を格納する手段を備え、前記イニシエータからのアクセスを受けると、前記レイテンシ情報を前記イニシエータに送信するPCIバス・システムが得られる。

【0013】本発明の他の実施の形態によれば、イニシエータからのアクセスを受けてからデータを送信するまでに要する時間をレイテンシ情報として格納しておき、アクセスにตอบสนองしてイニシエータに転送できるターゲットが得られる。

【0014】

【発明の実施の形態】以下、図面を参照して、本発明の一実施の形態に係るPCIバス・システムを説明する。図1に示されているように、本発明を適用できるPCIバス・システムは、CPU11、メモリ12、及び、メモリ12を制御するメモリ・コントローラ13とを備

え、CPU11及びメモリ・コントローラ13はホスト・バス14に接続されている。

【0015】更に、図示されたホスト・バス14には、ホストPCIブリッジ15も接続されており、当該ホストPCIブリッジ15はアービタとしても動作する。ホストPCIブリッジ15には、PCIバス16が接続されており、図示されたPCIバス16には、複数PCIデバイス171及び172が接続されている。

【0016】また、図示された例では、拡張バス18が設けられており、PCIバス16と拡張バス18との間には、拡張バスブリッジ19が接続され、更に、拡張バス18には、拡張バスデバイス20が接続されている。このように、PCIバス16は、PCIバス・システム内に設けられた周辺機器等のデバイス171、172、及び、20を相互に接続されるために使用されており、且つ、PCIバス・システムは特定のCPUに依存しないために、また、他のバスシステムを取り込むために、ホストPCIブリッジ15、拡張バスブリッジ19等によるブリッジ接続を多用している。

【0017】PCIバス・システムでは、PCIバス16にデータ転送を行おうとするマスタデバイスをイニシエータと呼び、データの読出し、書き込み要求を受けるデバイスをターゲットと呼ぶ。図示された例では、CPU11、ホストPCIブリッジ15、PCIデバイス171、172、拡張バスブリッジ19等はイニシエータとして動作することができ、また、拡張バスブリッジ19、PCIデバイス171、172、拡張バスデバイス20はターゲットとして動作することができる。

【0018】更に、PCIバス・システムでは、調停方式が採用されており、或るタイミングでは、単一のデバイスしかイニシエータとして動作することができない。また、イニシエータは、調停デバイスとしてのアービタ（通常、ホストPCIブリッジ15が兼ねる）に対して、PCIバス16の使用要求を出し、アービタから使用許可を得て初めて、PCIバス16上でデータの転送を開始できる。

【0019】ここで、ホスト・バス14上には、66MHzのクロックに同期してデータが転送され、他方、PCIバス16及び拡張バス18上には、それぞれ33MHz及び8MHzのクロックに同期してデータが転送される。このように、ホスト・バス14、PCIバス16、及び拡張バス18には、それぞれ異なるクロックでデータ転送が行われる。このため、例えば、CPU11及び拡張バスデバイス20がそれぞれイニシエータ及びターゲットとなった場合、CPU11からのアクセス要求から拡張バスデバイス20から最初のデータ転送までに要する時間（クロック数）が、例えば、拡張バス18上で3クロックであるとすれば、ホスト・バス14上では24クロックに及ぶ時間が、無駄な時間として費やされることになる。尚、イニシエータがアクセス要求を出

してから、ターゲットが最初のデータを転送するまでに要する時間をレイテンシと呼ぶ。

【0020】図2を参照して、上記したPCIバス・システムの動作を説明する。図2では、説明を一般化するために、イニシエータ21、ターゲット22、及び、アービタ23間の動作について説明する。まず、イニシエータ21はアービタ23に対して1ビットのREQ#をアクティブ（即ち、アサート）にして、PCIバスの使用権を要求する。REQ#がアクティブになると、アービタ23は1ビットのGNT#をアクティブ（アサート）にして、イニシエータ21にPCIバスの使用許可を与える。

【0021】使用許可を受けると、イニシエータ21は、32ビットのターゲット22に相当するアドレスをAD信号として送出する。ここで、AD信号は時分割多重された信号であり、フェーズによってアドレスとデータが切り替えられて出力される。ここでは、アドレス信号がイニシエータ21から出力され、目的のターゲット22が駆動される。この時、イニシエータ21は、FRAME#をアクティブにし、PCIバスが使用されていることを宣言する。

【0022】続いて、ターゲット22はDEVSEL#をアクティブにして、ターゲット22がイニシエータ21からの転送要求に応答することを指示する。この状態で、イニシエータ21及びターゲット22が共に転送可能な状態になると、イニシエータ21及びターゲット22は、それぞれIRDY#及びTRDY#をアクティブにし、この状態でデータの転送が可能になる。このことは、タイミングの決定権はイニシエータ21側にもターゲット22側にもあることを意味している。

【0023】このように、ターゲット22はTRDY#によって、転送のタイミングを決定できるが、ある一定の時間にトランザクションに応答できない場合、エラーとなるため、ターゲット22はDEVSEL#を出力してトランザクションに応答することを示す。また、ターゲット22はSTOP#によって、トランザクションの中断を要求できる。

【0024】上記した手順にしたがって、通常の場合、イニシエータ21からターゲット22に対してトランザクションを開始できるが、上記したように、イニシエータ21からFRAME#をアクティブにして、PCIバスが使用されていることを宣言した状態で、ターゲット22が、内部処理等との関係で、応答できない場合にも、ターゲット22はDEVSEL#をアクティブにして応答し、STOP#によって、中断を要求する。この中断要求は、再度、同じトランザクションを要求するリトライ要求として、ターゲット22からイニシエータ21に送出される。リトライ要求の際における処理を定めた規格として、ディレイドトランザクションと呼ばれる処理方法がある。この規格によれば、イニシエータ

のトランザクションに応答するのに時間がかかると判断したターゲットは、リトライを要求し、一度、PCIバスを解放させ、その後、準備ができた段階でイニシエータからリトライを受けた時に、トランザクションに応答し、転送を成立させることが規定されている。

【0025】したがって、このディレイドトランザクションの規格にしたがって、リトライ要求を受けたイニシエータ21は、ある一定時間の経過後、再度、同じ要求をターゲット22に出力する。

10 【0026】このように、ディレイドトランザクションの処理を行っても、イニシエータ21には、次のリトライのタイミングが与えられていないから、イニシエータ21は、一定時間が経過する度毎に、ターゲット22が応答可能な状態になるまで、何度も、リトライを繰り返す。したがって、イニシエータ21のリトライ及びターゲット22のリトライ要求がPCIバス上で、何度も繰り返される結果となって、バス上のサイクルが浪費されることになってしまう。

20 【0027】図3を参照して、本発明の一実施の形態に係るPCIバス・システムは、図1と同様に、CPU11、ホストPCIブリッジ15、PCIバス16、PCIデバイス171、172、拡張バスブリッジ19、拡張バス18、及び、拡張バスデバイス20とを備えている。更に、図示された例では、説明を簡略化するために、CPU11及びホストPCIブリッジ15がイニシエータとして動作し、他方、PCIデバイス171、172、及び、拡張バスブリッジ19がターゲットとして動作する場合が示されている。この構成では、拡張バスブリッジ19に拡張バス18を介して接続された拡張バスデバイス20は、拡張バスブリッジ19によって制御されているものとする。

30 【0028】また、ターゲットとして動作する各デバイス171、172、19には、リトライ要求を出した場合に、そのデバイスの待ち時間を明示するためのレイテンシレジスタ30が設けられており、各レイテンシレジスタ30には、アクセス要求（即ち、トランザクション要求）を受けてから、最初のデータ転送が成立するまでに要する時間がレイテンシ情報として、クロック数の形で格納されている。ここで、レイテンシレジスタ30は、通常、デバイス内に設けられているコンフィギュレーションレジスタの空き部分、即ち、未定義部分を使用しても良いし、また、これらのレジスタとは別に設けられたレジスタを使用しても良い。

40 【0029】ここで、一般的に、ターゲットがアクセス要求を受けてから、最初のデータ転送を成立させるまでに要する時間は、書込み、読出しの区別はあっても、各ターゲットにおいて同じである。このことを考慮して、図示された例では、その時間を具体的なクロック数の形でレイテンシ情報として、レイテンシレジスタ30に格納しておく。

【0030】この構成では、例えば、パーソナルコンピュータの電源を入れた場合等のシステムのブート時、CPU11、ブリッジ15等のイニシエータは、ターゲット側のレイテンシ情報を読出し、イニシエータのスケジューリングの参考として使用する。

【0031】レイテンシ情報を使用したスケジューリングを行っても、リトライが生じた場合、ターゲットはリトライを要求する際に、レイテンシレジスタ30内のレイテンシ情報をイニシエータに送出する。ここで、PCIバス上では、ターゲットは、STOP#と同時に、レイテンシ情報をイニシエータに送出する。

【0032】イニシエータはターゲットからレイテンシ情報を受けると、レイテンシ情報によって指定された時間、待機した後、リトライ、即ち、トランザクションの再要求を行う。

【0033】図4を参照して、本発明の一実施の形態に係るPCIバス・システムのイニシエータの動作を説明する。イニシエータは、CPU11のように、全て処理装置を備えており、図示された処理は、実際には、イニシエータに備えられた処理装置によって行われる。まず、ステップS1において、ターゲットにアクセスを要求し、続いて、ステップS2において、ターゲットからリトライの有ったか否かが判定される。リトライがなければ、ステップS3に移行して、ターゲットからイニシエータへ、データがその終了まで転送される。

【0034】一方、ステップS2において、ターゲットからリトライがあった場合、イニシエータの処理はステップS4に移る。ステップS4では、ターゲットから送られてきたレイテンシ情報にしたがって、イニシエータは内部タイマをセットし、リトライをレイテンシ情報によって指定された時間の間、見合わせ、指定された時間経過すると、ステップS1に戻って、ターゲットにアクセス要求を送出する。指定された時間の間、PCIバスは解放されているため、イニシエータは別のターゲットに対し、転送を行っても良い。

【0035】次に、ターゲットの動作について説明する。まず、単純なターゲットの場合には、前述したように、イニシエータからアクセスを受けてデータを渡すまでにかかる時間を一定として取り扱っても、何等、問題ない。この場合、ターゲットは、レイテンシ情報を内部に備えられたレイテンシレジスタに予めセットしておけば良い。一方、ターゲットが拡張バスブリッジ19を介して接続された拡張バスデバイス20の場合には、拡張バス18に接続された各拡張バスデバイス20についての情報を当該拡張バスブリッジ19に格納しておき、拡張バスブリッジ19は、当該情報に基き各拡張バスデバイス20を制御する。

【0036】以下、拡張バスブリッジ19を使用した場合における動作を図5を参照して説明する。この場合、拡張バスブリッジ19は、ステップS1に示すよう

に、当該拡張バスブリッジ19に接続された各拡張バスデバイス20に関するデバイス情報を拡張バスブリッジ19の内部に設けられたレジスタに設定されている。この場合、拡張バスブリッジ19のレジスタには、拡張バスプロトコルにしたがうか、手動によって、デバイス情報が設定される。

【0037】ここで、イニシエータから、或る拡張バスデバイス20に対するアクセスが生じた場合、当該拡張バスブリッジ19では、アクセスの到来をステップS2で認識して、当該アクセスに対するレイテンシ情報を拡張バスブリッジ19で計算して、ステップS3に移る。尚、計算されたレイテンシ情報はリトライ要求がイニシエータから与えられた場合に、イニシエータに送出される。

【0038】次に、拡張バスブリッジ19では、ステップS3において、リトライを要求している処理を継続しているか否かを判定し、リトライを要求している処理を継続していなければ、ステップS4に進む。他方、ステップS3において、リトライの対象となっている処理を継続していることが、拡張バスブリッジ19で判定されると、ステップS5において、拡張バスブリッジ19は、イニシエータにリトライ要求を出すと共に、レイテンシ情報を出力し、当該処理を継続する。

【0039】一方、リトライの対象となっている処理を継続していない場合、拡張バスブリッジ19は、ステップS4において、処理を終了した状態にあって、リトライ待ちの状態に有るか否かを判定する。リトライ待ちの状態になっていなければ、ステップS6に移り、イニシエータに対してリトライ要求を出すと共に、レイテンシ情報をも送出して必要な処理を継続した後、ステップS2に戻る。

【0040】また、ステップS4において、リトライ待ちの状態にあることが判定されると、イニシエータに対してリトライを要求すると共に、デフォルトのレイテンシ情報を当該イニシエータに送出して、ステップS2に戻る。

【0041】いずれにしても、別のデバイスからアクセスが来た場合にも、拡張バスブリッジ19は、現在実行中のトランザクションが終了するまでの値、即ち、最初にアクセスしたイニシエータに渡した値を渡す。

【0042】ターゲットが渡すレイテンシ情報は以下のようにして計算される。まず、ターゲットがPCIデバイス171、172である場合には、各PCIデバイス171、172は、各PCIデバイスに応じた固有のレイテンシ情報をレイテンシレジスタに格納し、他方、ターゲットが拡張バスブリッジ19の場合には、当該ブリッジ自体のレイテンシ情報と、拡張デバイスから必要なデータ数を読み出すのに必要な時間との和をレイテンシ情報として、計算する。

【0043】上記したようなレイテンシ情報をPCI

デバイス 171、172、或いは、拡張バスブリッジ 19 に格納した状態で、イニシエータからリトライが来た時に、処理が完了していない場合について考慮する。まず、ターゲットが P C I デバイスの場合には、固有のレイテンシ情報をイニシエータに送出し、他方、ターゲットが拡張バスブリッジ 19 では、リトライ到来時点から完了までの残りのデータを読み出すのに必要な時間を計算して、レイテンシ情報として、イニシエータに出力することになる。

【0044】上記した説明は、ターゲットからデータを読み出す場合について主に説明したが、これは、書込みの場合には書込みバッファを利用でき、パフォーマンスに与える影響は少ないものと考えられるためである。したがって、実際のシステムでは、読み出しの際にのみ、レイテンシ情報をターゲットからイニシエータに送信するように構成しても良い。

【0045】

【実施例】上記した実施の形態では、レイテンシ情報をクロック数の数等の具体的な数値の形で受け渡す方式についてのみ説明したが、時間をデコードしてレイテンシ情報として受け渡しても良い。

【0046】更に、P C I システムでは、マザーボード上において、サイドバンド信号と呼ばれる独自の信号を用いても良いことになっているため、このサイドバンド信号を用いてレイテンシ情報を送信する構成を採用しても良いし、或いは、P C I バスのプロトコルの未定義部分を利用することも可能である。ここで、後者のように、P C I バスのプロトコルの未定義部分を利用する場合を図 6 を参照して具体的に説明する。まず、A D 線は、前述したように、アドレスフェーズ（例えば、 $t_0 - t_1$ ）と、データフェーズ（例えば、 $t_3 - t_4$ ）とを時分割的に取る。また、ターゲットから読み出す場合を考慮すると、この場合には、A D 線は、データフェーズにおいてはターゲットからドライブされることになっており、リトライ時（ $t_3 - t_4$ ）には、通常、何等、意味のない情報が A D 線上に乗っていることになる。この読み出し期間（ $t_3 - t_4$ ）を利用して、図 6 に示すように、 $t_3 - t_4$ の期間、T R D Y # はアクティブにしないで、S T O P # 信号をアサートすると同時に、ターゲットから A D 線にレイテンシ情報を送出することによって、レイテンシ情報をイニシエータに受け渡すことができる。このように、T R D Y # をアクティブにしないことにより、通常のデータの読み出しと区別することができる。

【0047】尚、本発明に係る P C I バス・システムには、ターゲットから、能動的に、再開要求を出すシステムは、含まれないことは言うまでも無い。

【0048】

【発明の効果】以上述べたように、本発明によれば、イニシエータからのアクセス要求に応じて、ターゲットからデータを転送する P C I バス・システムにおいて、ターゲット内に、アクセスからデータ転送までに要する時間をあらわすレイテンシ情報を格納しておき、当該レイテンシ情報をイニシエータに送信することにより、P C I バスの占有時間を短縮でき、したがって、P C I バスのパフォーマンスを高めることができるという利点がある。

【図面の簡単な説明】

【図 1】本発明の適用される P C I バス・システムの概略構成を説明するためのブロック図である。

【図 2】図 1 に示された P C I バス・システムの動作を具体的に説明するためのブロック図である。

【図 3】本発明の一実施の形態に係る P C I バス・システムの構成を説明するためのブロック図である。

【図 4】図 3 の P C I バス・システムにおけるイニシエータの動作を説明するためのフローチャートである。

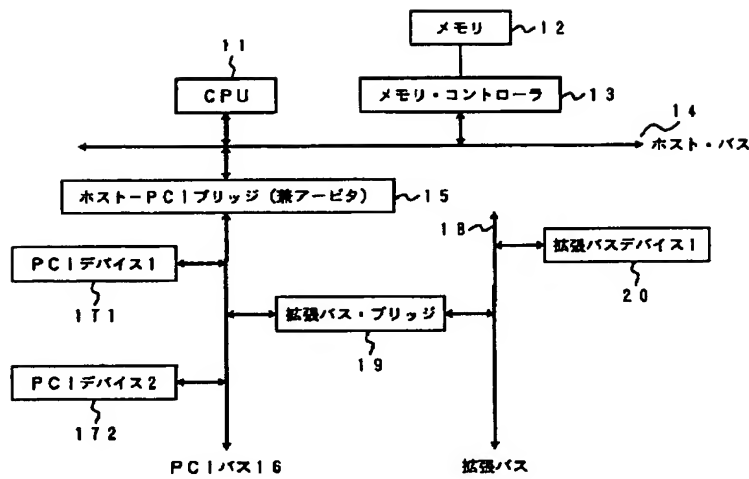
【図 5】図 3 の P C I バス・システムにおけるターゲットの動作を説明するためのフローチャートである。

【図 6】本発明に係るレイテンシ情報の受け渡し方法の一例を説明するための波形図である。

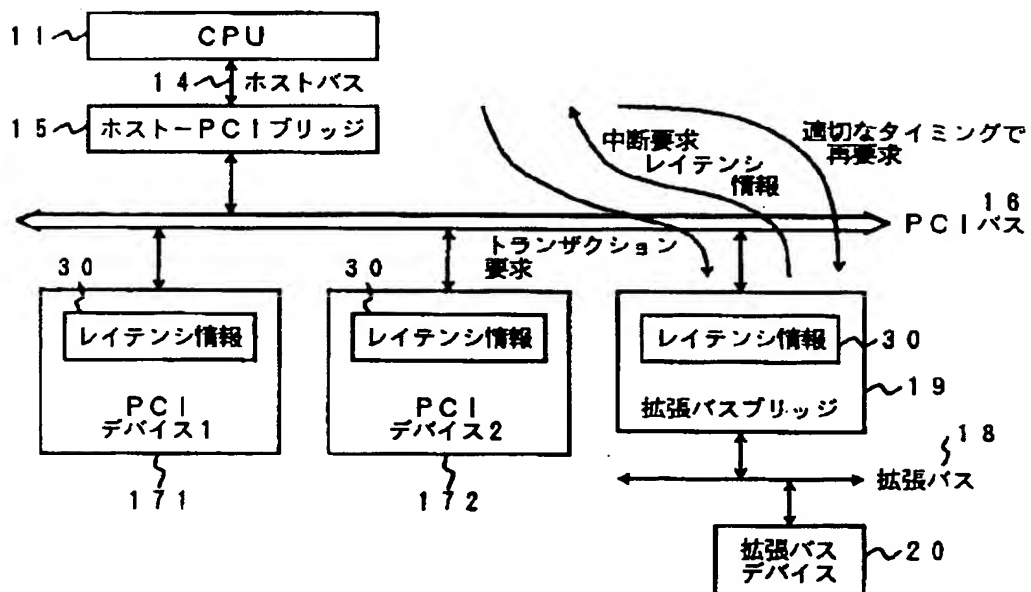
【符号の説明】

11	C P U
12	メモリ
13	メモリ・コントローラ
14	ホスト・バス
15	ホスト P C I ブリッジ（アービタ）
16	P C I バス
171、172	P C I デバイス
18	拡張バス
19	拡張バスブリッジ
21	イニシエータ
22	ターゲット
23	アービタ
30	レイテンシレジスタ

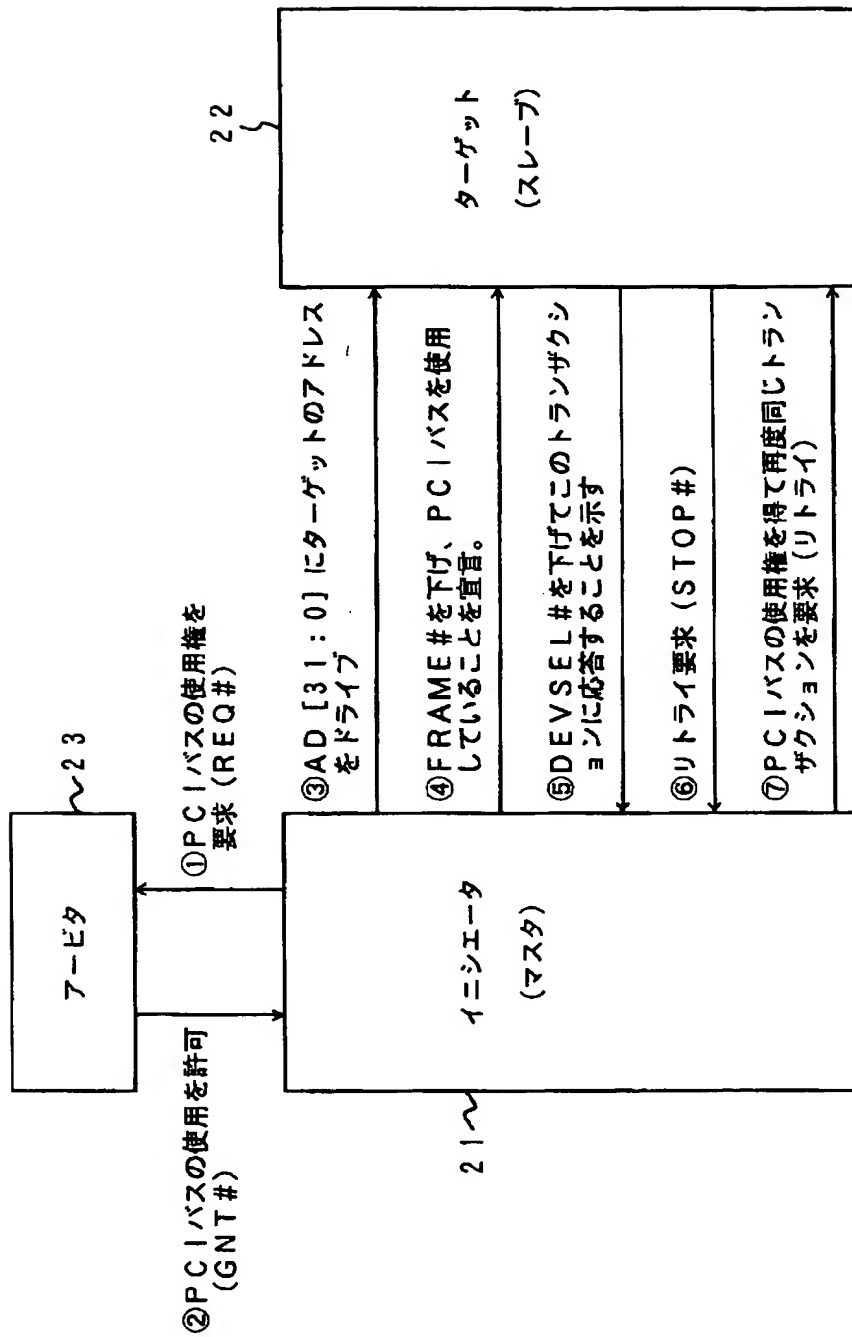
【図1】



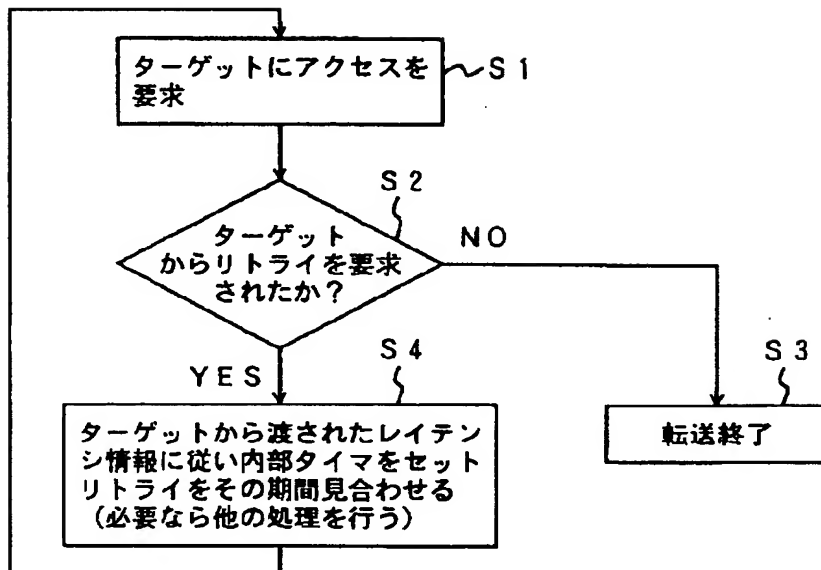
【図3】



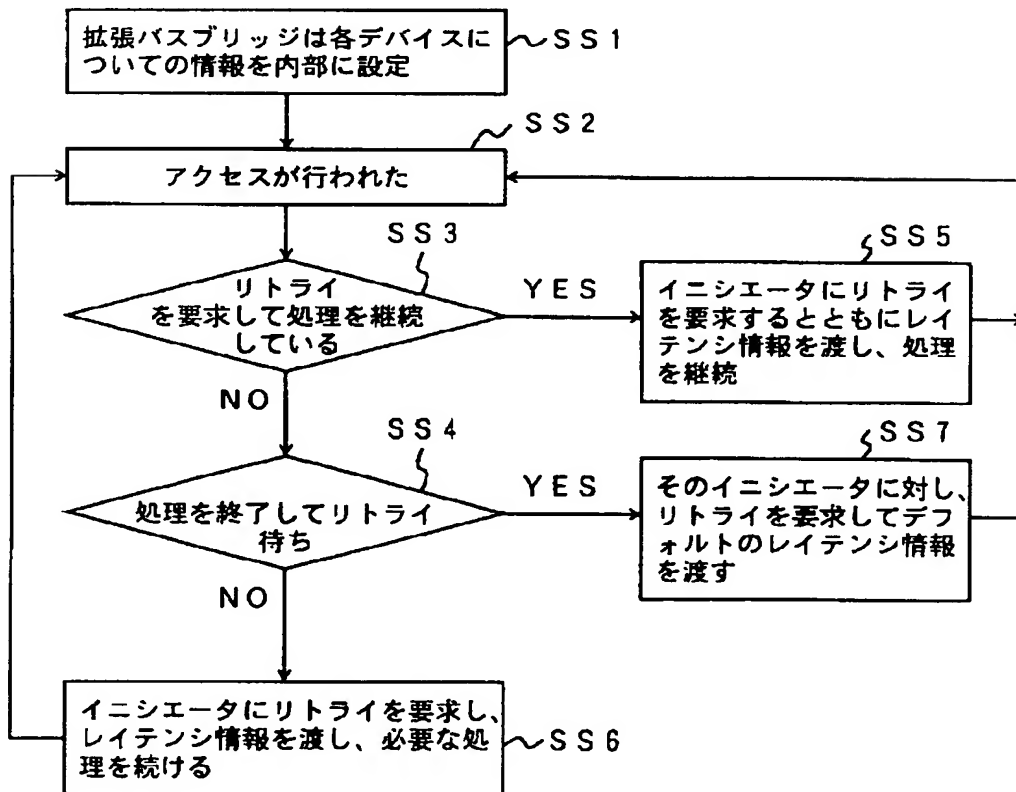
【図2】



【図4】



【図5】



【図6】

